



IFW

Docket No.: 57810-079

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Ryosuke USUI, et al.	:	Confirmation Number: 6655
Serial No.: 10/671,458	:	Group Art Unit: 2814
Filed: September 29, 2003	:	Examiner: Not Yet Assigned
For: SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT(S)

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


At the time the above application was filed, priority was claimed based on the following application:

Japanese Patent Application No. 2002-287305, filed on September 30, 2002.

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT WILL & EMERY LLP


Arthur J. Steiner
Registration No. 26,106

600 13th Street, N.W.
Washington, DC 20005-3096
202.756.8000 AJS:aph
Facsimile: 202.756.8087
Date: August 02, 2004

BEST AVAILABLE COPY

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月30日
Date of Application:

出願番号 特願2002-287305
Application Number:

[ST. 10/C]: [JP 2002-287305]

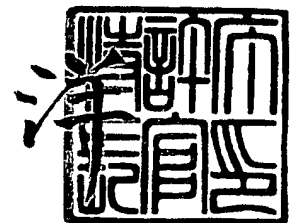
出願人 三洋電機株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 7月21日

特許庁長官
Commissioner,
Japan Patent Office

小川



出証番号 出証特2004-3063693

【書類名】 特許願

【整理番号】 NPC1020028

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/335

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 臼井 良輔

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
 三洋電機株式会社内

 【氏名】 笹田 一弘

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100104433

 【弁理士】

 【氏名又は名称】 宮園 博一

【手数料の表示】

 【予納台帳番号】 073613

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介して形成され、上部および下部の幅が中央部よりも大きい形状を有するとともに、ゲート電極として機能する第1シリコン層と、

前記第1シリコン層の上に形成され、前記ゲート電極として機能する第1シリサイド膜とを備えた、半導体装置。

【請求項2】 前記ゲート電極として機能する第1シリコン層は、逆メサ形状の上部と、順メサ形状の下部とを含む、請求項1に記載の半導体装置。

【請求項3】 前記ゲート電極と所定の間隔を隔てて形成され、かつ、上部および下部の幅が中央部よりも大きい形状を有するとともに、配線として機能する第2シリコン層と、

前記第2シリコン層の上に形成され、前記配線として機能する第2シリサイド膜とをさらに備えた、請求項1または2に記載の半導体装置。

【請求項4】 前記第1シリコン層および前記第2シリコン層は、同一のシリコン層からなる、請求項3に記載の半導体装置。

【請求項5】 半導体層上にゲート絶縁膜を介して、第1シリコン層を形成する工程と、

前記第1シリコン層上にエッチングマスクを形成する工程と、

前記エッチングマスクをマスクとして、前記第1シリコン層をエッチングすることによって、上部および下部の幅が中央部よりも大きい形状を有するゲート電極として機能する第1シリコン層を形成する工程と、

前記第1シリコン層の上に、前記ゲート電極として機能する第1シリサイド膜を形成する工程とを備えた、半導体装置の製造方法。

【請求項6】 前記ゲート電極を形成する工程は、

C12、O2およびHBrを含むエッチングガスを用いて前記第1シリコン層を逆メサ形状にドライエッチングする第1エッチング工程と、

前記第1エッチング工程の後、O2およびHBrを含むエッチングガスを用い

て前記第1シリコン層を順メサ形状にドライエッチングする第2エッチング工程とを含む、請求項5に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に、シリサイド膜を有するゲート電極を含む半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来、LSI（大規模集積回路）の分野では、素子の微細化、高密度化、高速化および低消費電力化が進んでいる。

【0003】

素子の微細化を図る際には、微細化した場合に抵抗が増加するのを抑制するために、MOSトランジスタのゲート電極およびソース／ドレイン領域や、配線の抵抗を低減する必要がある。ゲート電極およびソース／ドレイン領域や、配線の抵抗を低減する1つの方法として、ゲート電極および配線を構成するポリシリコン層上とシリコン基板のソース／ドレイン領域上とに、シリサイド膜を形成する方法が知られている。このシリサイドは、シリコンと金属との化合物であり、シリコンに比べて低い抵抗値を有するので、ポリシリコンからなるゲート電極および配線や、シリコン基板からなるソース／ドレイン領域の抵抗を低減することができる。

【0004】

従来、シリサイド膜を形成する方法として、ゲート電極を構成するポリシリコン層上と、シリコン基板の表面に位置するソース／ドレイン領域上とに、自己整合的にシリサイド膜を形成するサリサイド（Self Aligned Silicide）プロセスが開発されている（たとえば、特許文献1参照）。このサリサイドプロセスは、同一の工程で、ゲート電極およびソース／ドレイン領域をシリサイド化することができるので、製造工程数および製造コストを低減することができる。このため、MOSトランジスタの製造プロセスに広く採用されて

いる。

【0005】

【特許文献1】

特開 2000-22150号公報

【0006】

【発明が解決しようとする課題】

上記した従来のシリサイドプロセスを用いて形成したMOSトランジスタを含む構造では、シリサイド膜により抵抗の低減を図ることができるため、微細化した場合にも抵抗が増加するのを抑制することができる。しかしながら、微細化した場合に、MOSトランジスタのゲート電極と、ゲート電極に隣接する配線との間の距離が小さくなるので、ゲート電極と配線との容量が大きくなるという問題点があった。ここで、ゲート電極と配線との中心間距離が同じ場合には、ゲート電極および配線の線幅を小さくする方が、ゲート電極の側面と配線の側面との距離が大きくなるので、ゲート電極と配線との間の容量を小さくすることができる。しかしながら、ゲート電極や配線の線幅を小さくしすぎると、シリサイド膜の幅も小さくなりすぎるため、シリサイド膜の細線効果により抵抗が急激に大きくなるという問題点があった。

【0007】

この発明は、上記のような課題を解決するためになされたものであり、

この発明の1つの目的は、シリサイド膜の細線効果を抑制しながら、容量の増大を抑制することが可能な半導体装置を提供することである。

【0008】

この発明のもう1つの目的は、シリサイド膜の細線効果を抑制しながら、容量の増大を抑制することが可能な半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1の局面による半導体装置は、半導体基板上にゲート絶縁膜を介して形成され、上部および下部の幅が中央部よりも大きい形状を有するとともに、ゲート電極として機能する第1シリコン層と、第

1シリコン層の上に形成され、ゲート電極として機能する第1シリサイド膜とを備えている。

【0010】

この第1の局面による半導体装置では、上記のように、上部および下部の幅が中央部よりも大きい形状を有するとともに、ゲート電極として機能する第1シリコン層を形成することによって、幅の小さい中央部によりゲート電極の中央部と隣接する配線との間の距離が大きくなるので、その分、ゲート電極と配線との容量を低減することができる。また、中央部を上部よりも幅を小さくすることによって、容量を低減するために中央部の幅を小さくした場合にも、上部（上面）の幅が小さくなるのが防止される。これにより、第1シリコン層の上に形成される第1シリサイド膜の幅が小さくなるのを防止することができるので、シリサイド膜の細線効果を低減することができる。その結果、シリサイド膜の細線効果を抑制しながら、容量の増大を抑制することができる。また、ゲート電極を上部および下部の幅が中央部よりも大きい形状に形成することによって、ゲート電極をマスクとしてイオン注入する際に、第1シリコン層の上部および下部がマスク部分となるので、第1シリコン層の上部のみがマスクになる場合に比べて、半導体基板のゲート電極の下方の領域に不純物がイオン注入されるのをより抑制することができる。これにより、イオン注入プロファイルの制御性を向上させることができる。

【0011】

上記第1の局面による半導体装置において、好ましくは、ゲート電極として機能する第1シリコン層は、逆メサ形状の上部と、順メサ形状の下部とを含む。このように逆メサ形状の上部と順メサ形状の下部とを有する形状は、エッチングを用いて容易に形成することができるので、上部および下部の幅が中央部よりも大きいゲート電極を容易に形成することができる。

【0012】

上記の構成において、好ましくは、ゲート電極と所定の間隔を隔てて形成され、かつ、上部および下部の幅が中央部よりも大きい形状を有するとともに、配線として機能する第2シリコン層と、第2シリコン層の上に形成され、配線として

機能する第2シリサイド膜とをさらに備える。このように構成すれば、上部および下部の幅が中央部よりも大きい形状を有する第2シリコン層を含む配線と、上記した上部および下部の幅が中央部よりも大きい形状を有する第1シリコン層を含むゲート電極とによって、配線の中央部とゲート電極の中央部との距離をより大きくすることができるので、配線とゲート電極との間の容量をより低減することができる。

【0013】

上記の場合、好ましくは、第1シリコン層および第2シリコン層は、同一のシリコン層からなる。このように構成すれば、同一のエッチング工程で、第1シリコン層および第2シリコン層をエッチングすることができるので、上部および下部の幅が中央部よりも大きい形状を有するゲート電極として機能する第1シリコン層および配線として機能する第2シリコン層を同時に形成することができる。その結果、製造プロセスを簡略化することができる。

【0014】

この発明の第2の局面による半導体装置の製造方法は、半導体層上にゲート絶縁膜を介して、第1シリコン層を形成する工程と、第1シリコン層上にエッチングマスクを形成する工程と、エッチングマスクをマスクとして、第1シリコン層をエッチングすることによって、上部および下部の幅が中央部よりも大きい形状を有するゲート電極として機能する第1シリコン層を形成する工程と、第1シリコン層の上に、ゲート電極として機能する第1シリサイド膜を形成する工程とを備えている。

【0015】

この第2の局面による半導体装置の製造方法は、上記のように、第1シリコン層をエッチングすることにより、上部および下部の幅が中央部よりも大きい形状を有するゲート電極として機能する第1シリコン層を形成することによって、幅の小さい中央部によりゲート電極の中央部と隣接する配線との間の距離が大きくなるので、その分、ゲート電極と配線との間の容量を低減することができる。また、中央部を上部よりも幅を小さくすることによって、容量を低減するために中央部の幅を小さくした場合にも、上部（上面）の幅が小さくなるのが防止される

。これにより、第1シリコン層の上に形成される第1シリサイド膜の幅が小さくなるのを防止することができるので、シリサイド膜の細線効果を低減することができる。その結果、シリサイド膜の細線効果を抑制しながら、容量の増大を抑制することができる。また、ゲート電極を上部および下部の幅が中央部よりも大きい形状に形成することによって、後の工程において、ゲート電極をマスクとしてイオン注入する際に、第1シリコン層の上部および下部がマスク部分となるので、第1シリコン層の上部のみがマスクになる場合に比べて、半導体基板のゲート電極の下方の領域に不純物がイオン注入されるのをより抑制することができる。これにより、イオン注入プロファイルの制御性を向上させることができる。

【0016】

上記第2の局面において、好ましくは、ゲート電極を形成する工程は、 Cl_2 、 O_2 および HBr を含むエッチングガスを用いて第1シリコン層を逆メサ形状にドライエッチングする第1エッチング工程と、第1エッチング工程の後、 O_2 および HBr を含むエッチングガスを用いて第1シリコン層を順メサ形状にドライエッチングする第2エッチング工程とを含む。このように構成すれば、容易に、逆メサ形状の上部と順メサ形状の下部とを有する第1シリコン層を形成することができる。

【0017】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0018】

図1は、本発明の一実施形態による半導体装置を示した断面図である。まず、図1を参照して、本実施形態による半導体装置の構造について説明する。

【0019】

本実施形態による半導体装置では、図1に示すように、シリコン基板1の主表面上の所定領域に、隣接する素子形成領域（活性領域）間を分離するためのSTI（Shallow Trench Isolation）構造を有する素子分離2が形成されている。なお、シリコン基板1は、本発明の「半導体基板」の一例である。この素子分離2の上面は、シリコン基板1の上面よりもステップ状に

高くなるように形成されている。また、シリコン基板 1 の素子分離 2 によって囲まれた活性領域には、チャンネル領域を挟むように、1 対の n 型のソース／ドレイン領域 3 が形成されている。このソース／ドレイン領域 3 は、低濃度領域 3 a と高濃度領域 3 b とからなる LDD (Lightly Doped Drain) 構造を有する。そして、ソース／ドレイン領域 3 間のチャンネル領域上には、約 2 nm の膜厚を有する SiO_2 からなるゲート絶縁膜 4 が形成されている。また、ソース／ドレイン領域 3 の高濃度領域 3 b 上には、 CoSi_2 からなるシリサイド膜 5 c が形成されている。

【0020】

また、ゲート絶縁膜 4 の上面上には、約 100 nm の膜厚を有するリンがドーピングされたポリシリコン層 7 a が形成されている。ポリシリコン層 7 a 上には、約 100 nm の膜厚を有するリンがドーピングされたアモルファスシリコン層 8 a が形成されている。また、アモルファスシリコン層 8 a の上面上には、 CoSi_2 からなるシリサイド膜 5 a 形成されている。そして、ポリシリコン層 7 a とアモルファスシリコン層 8 a とシリサイド膜 5 a とによって、ゲート電極 6 が構成されている。なお、1 対のソース／ドレイン領域 3 と、ゲート絶縁膜 4 と、ゲート電極 6 とによって、n チャンネル MOS トランジスタが構成されている。なお、ポリシリコン層 7 a およびアモルファスシリコン層 8 a は、本発明の「第 1 シリコン層」の一例であり、シリサイド膜 5 a は、本発明の「第 1 シリサイド膜」の一例である。

【0021】

ここで、本実施形態では、ゲート電極 6 は、順メサ形状の下部 6 a と逆メサ形状の上部 6 b とを有するとともに、下部 6 a の幅 W_1 および上部 6 b の幅 W_2 よりも小さい幅 W_3 を有するくびれ部 6 c を含む。なお、くびれ部 6 c は、本発明の「中央部」の一例である。また、くびれ部 6 c の最細部は、ポリシリコン層 7 a の上面から下方に向かって約 70 nm の位置に形成されている。このため、ゲート電極 6 の下部 6 a の幅 W_1 は、上部 6 b の幅 W_2 よりも小さくなるように形成されている。

【0022】

また、素子分離 2 の上面上には、約 100 nm の膜厚を有するリンがドーピングされたポリシリコン層 7 b が形成されている。ポリシリコン層 7 b 上には、約 100 nm の膜厚を有するリンがドーピングされたアモルファスシリコン層 8 b が形成されている。また、アモルファスシリコン層 8 b の上面上には、 $\text{C}-\text{Si}$ からなるシリサイド膜 5 b が形成されている。そして、ポリシリコン層 7 b とアモルファスシリコン層 8 b とシリサイド膜 5 b とによって、配線 9 が構成されている。なお、ポリシリコン層 7 b およびアモルファスシリコン層 8 b は、本発明の「第 2 シリコン層」の一例であり、シリサイド膜 5 b は、本発明の「第 2 シリサイド膜」の一例である。

【0023】

また、本実施形態では、配線 9 は、順メサ形状の下部 9 a と逆メサ形状の上部 9 b とを有するとともに、下部 9 a の幅 W1 および上部 9 b の幅 W2 よりも小さい幅 W3 を有するくびれ部 9 c を含む。なお、くびれ部 9 c は、本発明の「中央部」の一例である。また、くびれ部 9 c の最細部は、ポリシリコン層 7 b の上面上から下方に向かって約 70 nm の位置に形成されている。このため、配線 9 の下部 9 a の幅 W1 は、上部 9 b の幅 W2 よりも小さくなるように形成されている。

【0024】

また、本実施形態では、ゲート電極 6 を構成するポリシリコン層 7 a および配線 9 を構成するポリシリコン層 7 b は、同一のポリシリコン層から形成されている。また、ゲート電極 6 を構成するアモルファスシリコン層 8 a および配線 9 を構成するアモルファスシリコン層 8 b は、同一のアモルファスシリコン層から形成されている。

【0025】

そして、ゲート電極 6 および配線 9 の両側面上には、それぞれ、ゲート電極 6 および配線 9 のくびれ部 6 c および 9 c を埋めるように、 SiO_2 からなる第 1 サイドウォール膜 10 a および 10 b が形成されている。第 1 サイドウォール膜 10 a および 10 b の両側面上には、約 30 nm の膜厚を有する Si_3N_4 からなる第 2 サイドウォール膜 11 a および 11 b が形成されている。

【0026】

本実施形態では、上記のように、順メサ形状の下部 6 a と逆メサ形状の上部 6 b とを有するとともに、下部 6 a の幅 $W1$ および上部 6 b の幅 $W2$ よりも小さい幅 $W3$ を有するくびれ部 6 c を含むゲート電極 6 を形成することによって、小さい幅 $W3$ を有するくびれ部 6 c によりゲート電極 6 と隣接する配線 9 との間の距離が大きくなるので、その分、ゲート電極 6 と配線 9 との間の容量を低減することができる。また、ゲート電極 6 の上部 6 b の幅 $W2$ を下部 6 a の幅 $W1$ よりも大きくすることによって、容量を低減するために小さい幅 $W3$ を有するくびれ部 6 c を形成した場合にも、ゲート電極 6 の上部 6 b を構成するシリサイド膜 5 a の幅が小さくなるのを防止することができるので、シリサイド膜 5 a の細線効果を低減することができる。その結果、シリサイド膜 5 a の細線効果を抑制しながら、容量の増大を抑制することができる。また、ゲート電極 6 を構成するポリシリコン層 7 a およびアモルファスシリコン層 8 a をマスクとしてイオン注入する際に、斜め方向からリンがイオン注入されたとしても、順メサ形状の下部 6 a および逆メサ形状の上部 6 b がマスク部分となるので、逆メサ形状の上部 6 b のみがマスクになる場合に比べて、シリコン基板 1 のゲート電極 6 の下方の領域にリンがイオン注入されるのをより抑制することができる。これにより、イオン注入プロファイルの制御性を向上させることができる。また、ソース／ドレイン領域 3 間の距離（チャンネル長）が大きくなるのを抑制することができるので、その分、動作速度が速くなる。

【0027】

また、本実施形態では、上記のように、下部 9 a の幅 $W1$ および上部 9 b の幅 $W2$ よりも小さい幅 $W3$ を有するくびれ部 9 c を含む配線 9 を形成することによって、ゲート電極 6 と配線 9 との間の距離をより大きくすることができるので、ゲート電極 6 と配線 9 との間の容量をより低減することができる。また、配線 9 の上部 9 b の幅 $W2$ を下部 9 a の幅 $W1$ よりも大きくすることによって、容量を低減するために小さい幅 $W3$ を有するくびれ部 9 c を形成した場合にも、配線 9 の上部 9 b を構成するシリサイド膜 5 b の幅が小さくなるのを防止することができるので、シリサイド膜 5 b の細線効果を低減することができる。

【0028】

また、本実施形態では、上記のように、ゲート電極 6 を構成するポリシリコン層 7 a および配線 9 を構成するポリシリコン層 7 b を、同一のポリシリコン層から形成するとともに、ゲート電極 6 を構成するアモルファスシリコン層 8 a および配線 9 を構成するアモルファスシリコン層 8 b を、同一のアモルファスシリコン層から形成することによって、ゲート電極 6 を構成するポリシリコン層 7 a およびアモルファスシリコン層 8 a と、配線 9 を構成するポリシリコン層 7 b およびアモルファスシリコン層 8 b とを同一のエッチング工程でエッチングすることができる。これにより、ゲート電極 6 および配線 9 を同時に形成することができるので、製造プロセスを簡略化することができる。

【0029】

また、本実施形態では、上記のように、ゲート電極 6 を、ポリシリコン層 7 a とアモルファスシリコン層 8 a とを含む構造にすることによって、アモルファス材料のエッチングにより露出された表面は良好な面粗度を有するので、アモルファスシリコン層 8 a を良好な面粗度を有する表面になるようにエッチングすることができる。このため、アモルファスシリコン層 8 a に続いてポリシリコン層 7 a をエッチングすれば、ポリシリコン層 7 a のエッチングにより露出された表面も、良好な面粗度にすることができる。これにより、ゲート電極 6 の線幅の精度を向上させることができる。また、配線 9 も、ポリシリコン層 7 b とアモルファスシリコン層 8 b とを含む構造を有するので、ゲート電極 6 と同様に、線幅の精度を向上させることができる。

【0030】

図 2 ～図 9 は、図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。次に、図 1 ～図 9 を参照して、本実施形態による半導体装置の製造プロセスについて説明する。

【0031】

まず、図 2 に示すように、シリコン基板 1 の主面上の所定領域に、素子分離溝を形成した後、その素子分離溝の表面を酸化する。そして、素子分離溝内に絶縁物を埋め込むことによって、活性領域を分離するための S T I 構造を有する素子分離 2 が形成される。また、シリコン基板 1 の表面を酸化することによって、約

2 nmの膜厚を有するSiO₂からなるゲート絶縁膜4を形成する。そして、素子分離2上およびゲート絶縁膜4上に、約100 nmの膜厚を有するとともに、イオン注入によりリンがドーピングされたポリシリコン層7および約100 nmの膜厚を有するとともに、イオン注入によりリンがドーピングされたアモルファスシリコン層8を順次形成する。なお、ポリシリコン層7およびアモルファスシリコン層8は、本発明の「シリコン層」の一例である。この後、RTA (Rapid Thermal Annealing) 技術を用いて、約1000℃の温度条件下で急速熱処理することによって、ポリシリコン層7およびアモルファスシリコン層8にドーピングされたリンイオンを活性化させる。

【0032】

次に、図3に示すように、リソグラフィ技術を用いて、アモルファスシリコン層8の所定領域上に、スルホニウム系レジストからなるエッチングマスク12を形成する。

【0033】

次に、エッチングマスク12をマスクとして、アモルファスシリコン層8の上面からのエッチング深さが約170 nm (ポリシリコン層7の上面から約70 nm) になるように、かつ、アモルファスシリコン層8の上面からポリシリコン層7の途中までの形状が逆メサ形状になるようにエッチングする。この場合のエッチング条件は、誘導結合型プラズマエッチング装置において、圧力：約1.33 Pa、上部電極：約300 W、下部電極：約40 W、基板温度：約65℃、開口率：約50%～約60%、エッチングガス：Cl₂ (約20 sccm)、O₂ (約1 sccm) およびHBr (約180 sccm) である。このような条件下でエッチングすることによって、図4に示すように、全体が逆メサ形状のアモルファスシリコン層8aおよび8bが形成されるとともに、ポリシリコン層7の途中までの形状が逆メサ形状になる。なお、このエッチング工程は、本発明の「第1エッチング工程」の一例である。

【0034】

そして、エッチング条件を変更した後、ポリシリコン層7の途中からの形状が順メサ形状になるようにエッチングを続ける。この場合のエッチング条件は、誘

導結合型プラズマエッチング装置において、圧力：約 1.995 Pa、上部電極：約 250 W、下部電極：約 12 W、基板温度：約 65℃、開口率：約 50%～約 60%、エッチングガス：O₂（約 2 sccm）および HBr（約 180 sccm）である。このような条件下でエッチングすることによって、容易に、ポリシリコン層 7 の途中からの形状が逆メサ形状になるように、エッチングすることができる。この後、エッチングマスク 12 を除去する。なお、このエッチング工程は、本発明の「第 2 エッチング工程」の一例である。

【0035】

これにより、図 5 に示すように、ゲート絶縁膜 4 の所定領域上に、ゲート電極 6 を構成するポリシリコン層 7 a およびアモルファスシリコン層 8 a が形成される。また、素子分離 2 の上面上に、ゲート電極 6 と同様の逆メサ形状および順メサ形状を有する配線 9 を構成するポリシリコン層 7 b およびアモルファスシリコン層 8 b が形成される。また、ポリシリコン層 7 a および 7 b の途中からの形状が逆メサ形状になるようにエッチングするので、ポリシリコン層 7 a および 7 b の下部の幅 W1 は、アモルファスシリコン層 8 a および 8 b の幅 W2 よりも小さくなる。

【0036】

次に、本実施形態では、図 6 に示すように、シリコン基板 1 に、ポリシリコン層 7 a およびアモルファスシリコン層 8 a をマスクとしてリンをイオン注入することによって、低濃度領域 3 a を形成する。この際、斜め方向からリンがイオン注入されたとしても、順メサ形状のポリシリコン層 7 a の下部によって、シリコン基板 1 のポリシリコン層 7 a の下方の領域にリンがイオン注入されるのを抑制することができる。

【0037】

次に、全面に、約 200 nm の膜厚を有する SiO₂ 膜（図示せず）を堆積した後、その SiO₂ 膜を異方性エッチングすることによって、ポリシリコン層 7 a および 7 b の両側面上とアモルファスシリコン層 8 a および 8 b の両側面上とに、それぞれ、SiO₂ からなる第 1 サイドウォール膜 10 a および 10 b を形成する。この後、全面に、約 150 nm の膜厚を有するシリコン窒化膜（Si₃

N₄膜) (図示せず) を形成した後、そのSi₃N₄膜を異方性エッチングすることによって、図7に示すように、第1サイドウォール膜10aおよび10bの両側面上に、約30nmの膜厚を有するSi₃N₄からなる第2サイドウォール膜11aおよび11bを形成する。

【0038】

次に、図8に示すように、アモルファスシリコン層8aおよび第2サイドウォール膜11aをマスクとして、シリコン基板1にリンをイオン注入することによって、高濃度領域3bを形成する。これにより、低濃度領域3aと高濃度領域3bとからなるLDD構造のn型のソース／ドレイン領域3が形成される。

【0039】

次に、サリサイドプロセスを行う。すなわち、図9に示すように、スパッタリング法を用いて、シリコン基板1の上面上と、アモルファスシリコン層8aおよび8bの上面上と、第2サイドウォール膜11aおよび11bの両側面上とに、約30nmの膜厚を有するCo膜13を形成する。そして、RTA技術を用いて、約650℃の温度条件下で急速熱処理することによって、アモルファスシリコン層8aおよび8bの上面に位置するSiとCoとを反応させるとともに、シリコン基板1の上面に位置するSiとCoとを反応させる。これにより、アモルファスシリコン層8aおよび8b上に、それぞれ、CoSi₂からなるシリサイド膜5aおよび5bが自己整合的に形成されるとともに、ソース／ドレイン領域3の高濃度領域3b上に、CoSi₂からなるシリサイド膜5cが自己整合的に形成される。この後、未反応のCo膜13を選択的に除去する。このようにして、ゲート絶縁膜4の上面上に、図1に示したような、順メサ形状の下部6aおよび逆メサ形状の上部6bを含むくびれ部6cを有するゲート電極6が形成される。また、素子分離2の上面上に、順メサ形状の下部9aおよび逆メサ形状の上部9bを含むくびれ部9cを有する配線9が形成される。これにより、本実施形態によるnチャネルMOSトランジスタを含む半導体装置が形成される。

【0040】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明では

なく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0041】

たとえば、上記実施形態では、 CoSi_2 からなるシリサイド膜 5-a、5-b および 5-c を形成するようにしたが、本発明はこれに限らず、 TiSi_2 、 NiSi 、 WSi および PtSi_2 などからなるシリサイド膜を形成するようにしてもよい。

【0042】

また、上記実施形態では、 Si_3N_4 からなる第2サイドウォール膜 11-a および 11-b を形成するようにしたが、本発明はこれに限らず、一般的な組成式である Si_xN_y を満たす Si_3N_4 以外の組成を有するシリコン窒化膜からなる第2サイドウォール膜を形成するようにしてもよい。また、第2サイドウォール膜として、 SiO_2 や他の絶縁材料からなるサイドウォール膜を形成するようにしてもよい。また、 SiO_2 からなる第1サイドウォール膜 10-a および 10-b を形成せずに、第2サイドウォール膜 11-a および 11-b のみを形成してもよい。

【0043】

また、上記実施形態では、誘導結合型プラズマエッチング装置を用いて、アモルファスシリコン層 8 およびポリシリコン層 7 をエッチングするようにしたが、本発明はこれに限らず、電子サイクロトロン共鳴タイプ、容量結合型2周波プラズマタイプおよび表面波プラズマタイプなどの他のプラズマドライエッチング装置を用いてエッチングするようにしてもよい。

【0044】

【発明の効果】

以上のように、本発明によれば、シリサイド膜の細線効果を抑制しながら、容量の増大を抑制することが可能な半導体装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態による半導体装置を示した断面図である。

【図2】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 3】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 4】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 5】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 6】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 7】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 8】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【図 9】

図 1 に示した本発明の一実施形態による半導体装置の製造プロセスを説明するための断面図である。

【符号の説明】

- 1 シリコン基板（半導体基板）
- 4 ゲート絶縁膜
- 5 a シリサイド膜（第 1 シリサイド膜）
- 5 b シリサイド膜（第 2 シリサイド膜）
- 6 ゲート電極

6 a、9 a 下部

6 b、9 b 上部

6 c、9 c くびれ部（中央部）

7 ポリシリコン層（シリコン層）

7 a ポリシリコン層（第 1 シリコン層）

7 b ポリシリコン層（第 2 シリコン層）

8 アモルファスシリコン層（シリコン層）

8 a アモルファスシリコン層（第 1 シリコン層）

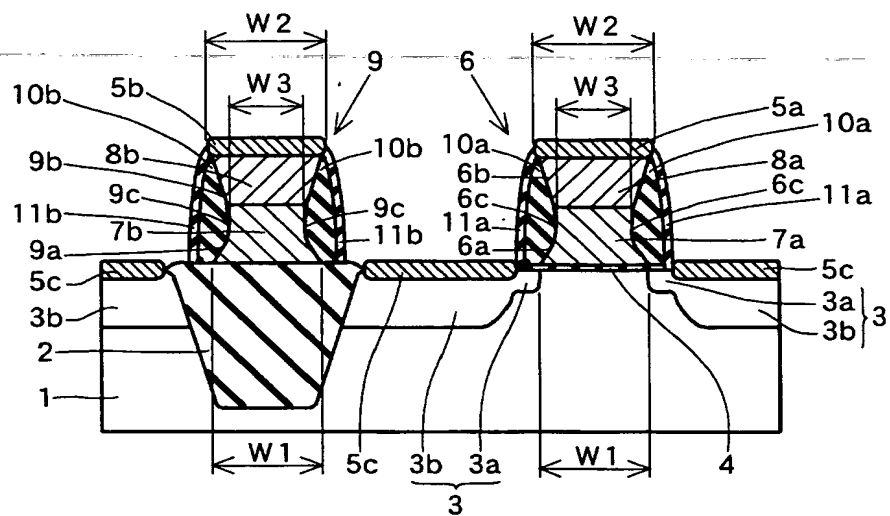
8 b アモルファスシリコン層（第 2 シリコン層）

9 配線

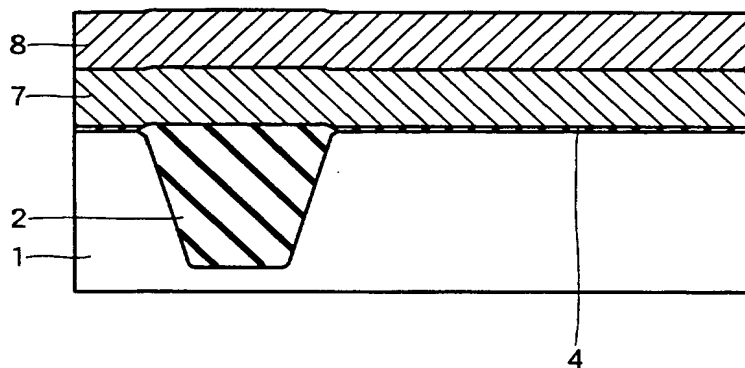
1 2 エッチングマスク

【書類名】 図面

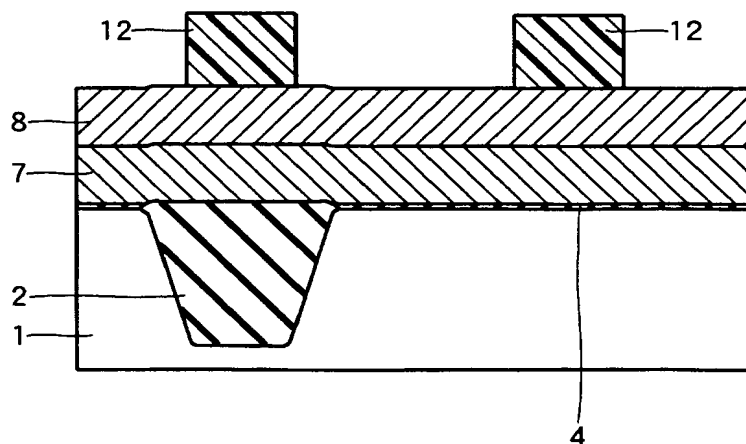
【図 1】



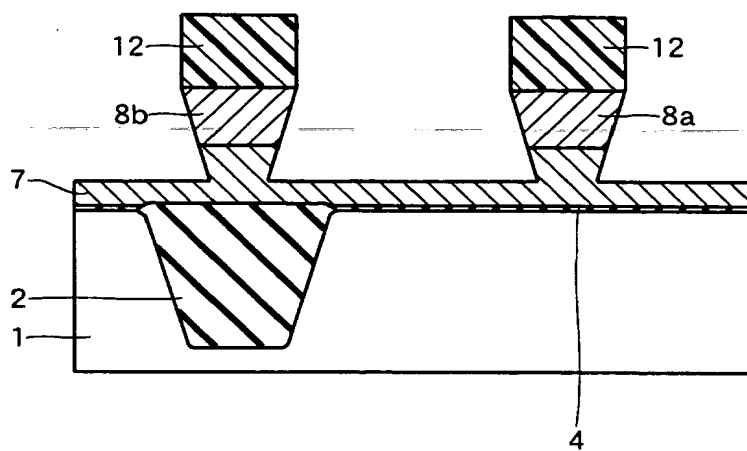
【図 2】



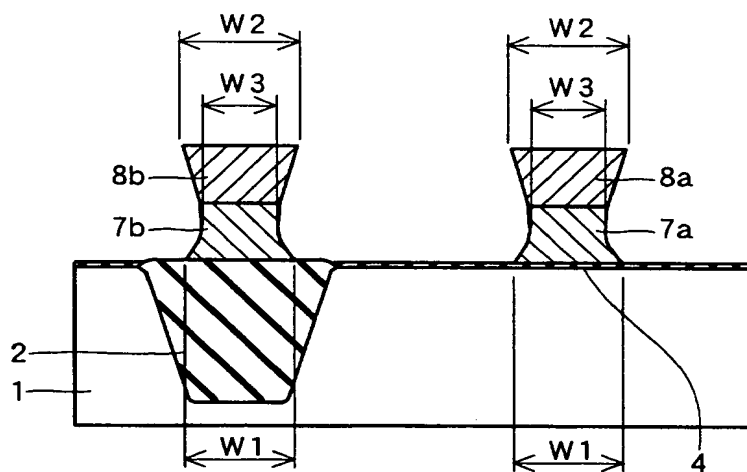
【図 3】



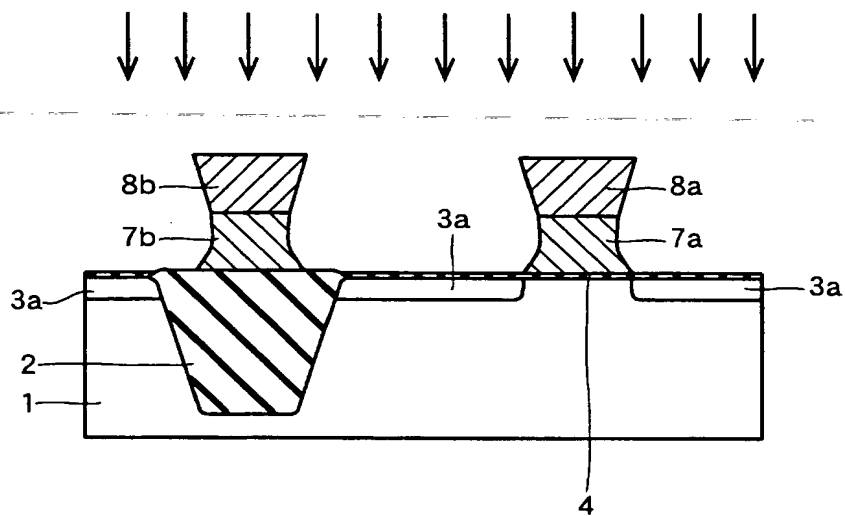
【図 4】



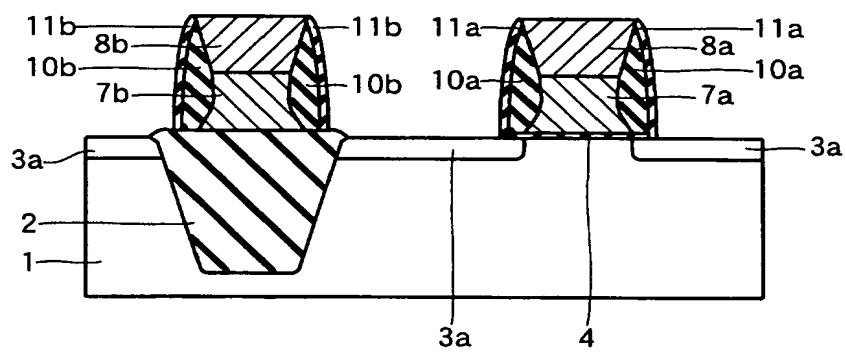
【図 5】



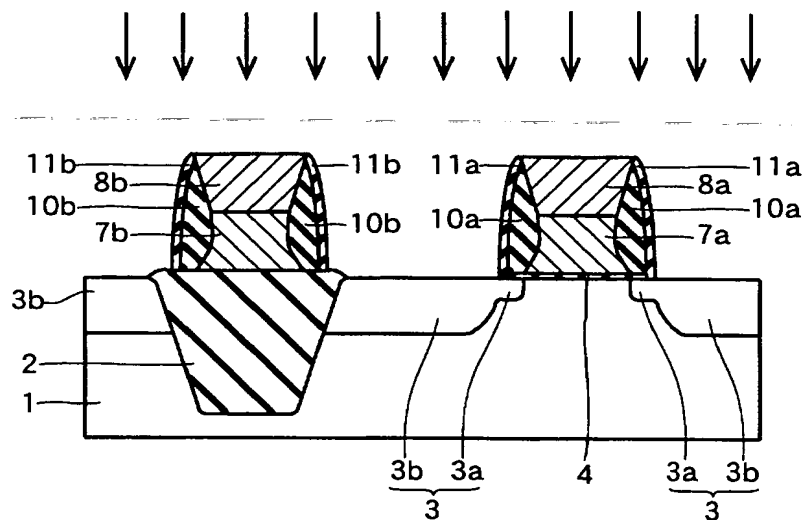
【図 6】



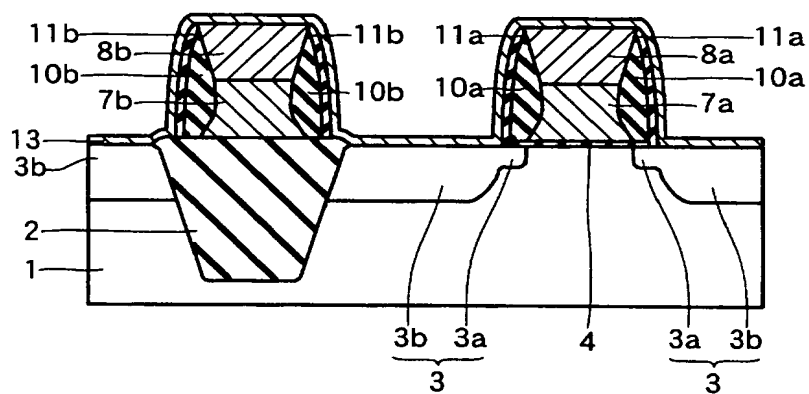
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 シリサイド膜の細線効果を抑制しながら、容量の増大を抑制することが可能な半導体装置を提供する。

【解決手段】 この半導体装置は、シリコン基板 1 上にゲート絶縁膜 4 を介して形成され、上部 6 b の幅 W_2 および下部 6 a の幅 W_1 がくびれ部 6 c の幅 W_3 よりも大きい形状を有するとともに、ゲート電極 6 として機能するポリシリコン層 7 a およびアモルファスシリコン層 8 a と、アモルファスシリコン層 8 a の上面上に形成され、ゲート電極 6 として機能するシリサイド膜 5 a とを備えている。

【選択図】 図 1

特願 2 0 0 2 - 2 8 7 3 0 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日	1 9 9 3 年 1 0 月 2 0 日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名	三洋電機株式会社